


Référence	Langue	Visa	Date de création	Indice
1016-01-1.00-STG-A-004	FR	N	11/01/2010	004

Spécifications techniques générales

Banc de test NanoFip

Auteur	DP, NM	 35 rue Tournefort 75005 PARIS www.hlp.fr
Vérificateur	BL	

Nom du document : 1016-01-1.00-STG-A-004 -STG Banc de test NanoFip.doc

Historique du document			
Indice	Date	Auteur	Description
001	11/01/2010	NM	Création du document
002	18/01/2010	NM	2 ^{nde} édition suite aux remarques et documentation du CERN
003	01/02/2010	NM	3 ^{ème} édition suite aux remarques et documentation du CERN
004	17/03/2010	NM	Corrections mineures Changement ID de projet : 1013 → 1016

SOMMAIRE CONTENTS

1. INTRODUCTION	4
1.1. PORTEE DU DOCUMENT	4
1.2. DOCUMENTS REFERENCES	4
1.3. GLOSSAIRE.....	4
2. BANC DE TEST	5
2.1. GENERALITES	5
2.2. COMMANDES DEPORTEES.....	6
2.3. ALIMENTATION	6
2.4. CONFIGURATIONS DU NANOFIP.....	7
2.5. VUE GENERALE DU BANC.....	7
3. IDENTIFICATION DES COMPOSANTS	8
4. CARTE DE TEST NANOFIP	9
4.1. FONCTIONS DE LA CARTE	9
4.2. ARCHITECTURE GENERALE	10
4.3. CONSIDERATIONS MECANIQUES.....	10
5. LOGICIEL DE TEST	12
6. LEGENDES.....	13

1. INTRODUCTION

1.1. PORTEE DU DOCUMENT

Ce document spécifie d'un point de vue fonctionnel et technique le banc de test du composant « **NanoFip** » développé par le CERN.

1.2. DOCUMENTS REFERENCES

ID	Titre	Référence
#1	Spécifications du NanoFIP	cernfip_fspect1_2.pdf
#		

1.3. GLOSSAIRE

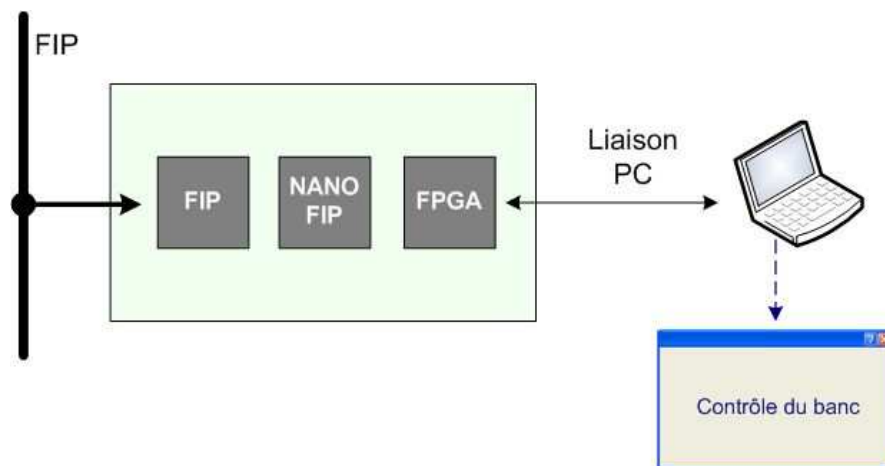
CERN	Centre Européen de Recherche Nucléaire
CPLD	Complex Programmable Logic Device
FIP	Factory Interconnection Protocol
FPGA	Field Programmable Gate Array
PN	Product Number
VHDL	Very High Description Language

2. BANC DE TEST

2.1. GENERALITES

Le banc de test du *NanoFip* est un ensemble de composants électroniques et informatiques permettant de réaliser sur ce composant :

- l'exécution de tests manuels
- l'exécution de tests automatiques



Les spécifications fonctionnelles générales de ce banc sont :

- Contrôle / lecture de toutes les entrées / sorties du NanoFip par un composant de type FPGA
- Interface avec un réseau FIP
- Interface utilisateur par PC et logiciel de test

Deux cas d'utilisation sont identifiés en fonction des tests à mener :

- **tests de robustesse aux radiations** : utilisation à distance
- **tests sur table** : validations fonctionnelles complètes du *NanoFip*



HLP ne conduit pas les tests de robustesse aux radiations du banc de test.

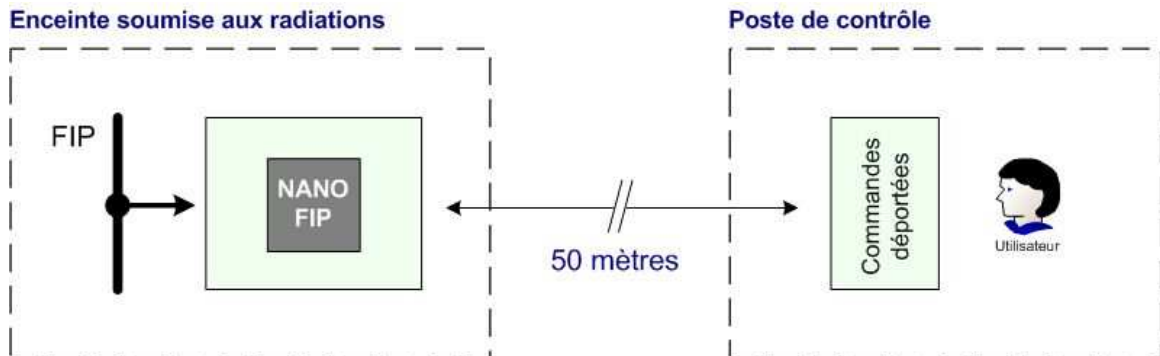


*La documentation du banc de test du **NanoFip** est en français.*

2.2. COMMANDES DEPORTEES

Les besoins de tests de robustesses aux radiations du composant *NanoFip* imposent de pouvoir commander à distance le banc de test.

Celui-ci est soumis à des radiations alors que l'opérateur reste dans un poste de contrôle.

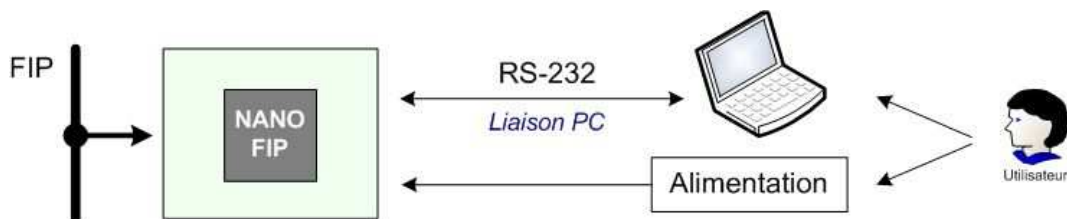


La distance séparant le poste de contrôle du banc de test NanoFip est fixée à 50m.

2.3. ALIMENTATION

L'alimentation du banc de test doit être manipulable facilement par un utilisateur dans le cas d'un test sur table. Il s'agit donc d'une alimentation stabilisée 220Vac avec une connectique standard à définir.

De plus, afin qu'elle ne soit pas une source d'erreur lors d'un test de robustesse aux radiations, elle doit être localisée **dans le poste de contrôle**, c'est-à-dire à 50 m du banc de test. Ainsi, elle est également facilement commandée par l'utilisateur.



Dans le souci d'alléger l'électronique du banc de test, l'alimentation fournit une tension **continue régulée**. Les composants FIP étant alimentés en +5V, cette tension d'alimentation

sera, par exemple du 9Vcc compte tenu des pertes et des perturbations éventuelles sur le câble de 50m.



La carte de test ne possède que des régulateurs linéaires de tension.



*Le CERN utilisera ses alimentations stabilisées 220Vac – 9 Vdc.
La connectique est de type « fiche banane ».*

2.4. CONFIGURATIONS DU NANOFIP

Le *NanoFip* peut fonctionner suivant 2 configurations :

- Stand-alone
- Memory

Pour plus de détails, se référer au document [#1](#).

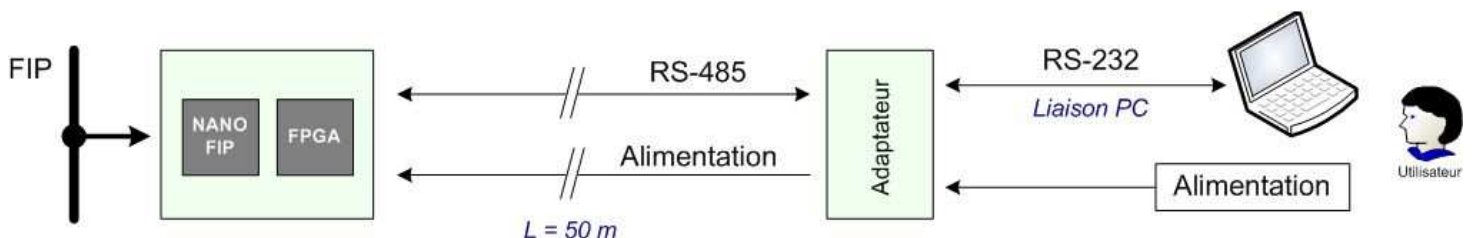
Le banc de test permet le fonctionnement de ces deux configurations sans modification matérielle (soudure, jumper...).

Le changement de configuration est piloté par le PC.

Une configuration de base du *NanoFip* doit aussi être embarquée sur la carte de test et chargée par défaut lors de sa mise sous tension.

2.5. VUE GENERALE DU BANC

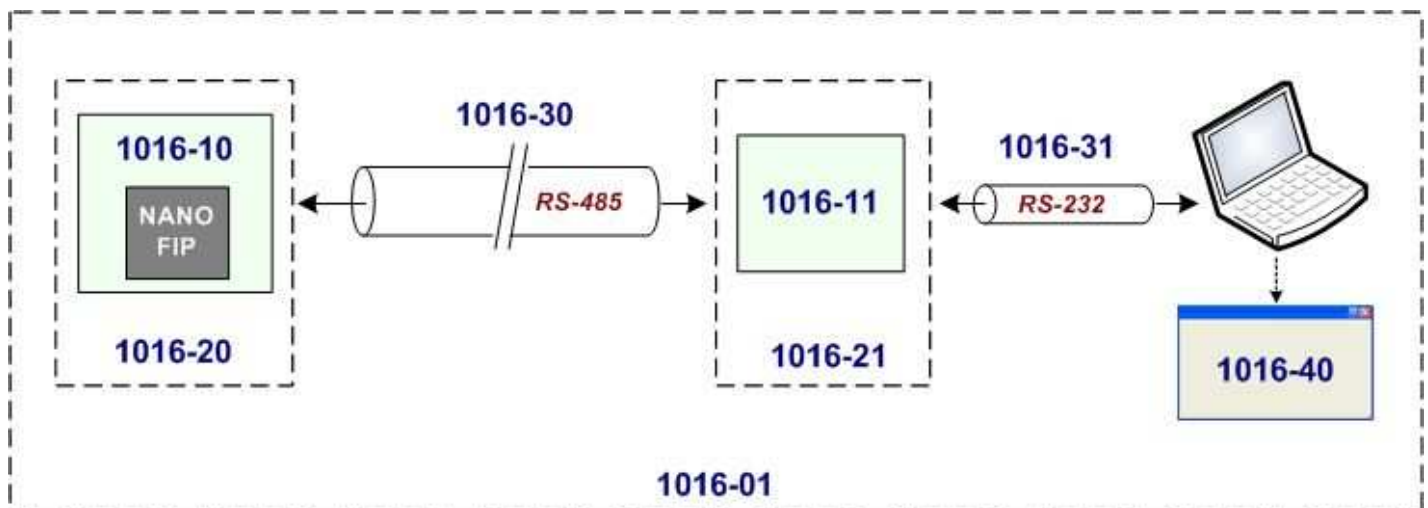
Afin de répondre au mieux à ces cas d'utilisation, l'architecture suivante du banc de test est retenue :



3. IDENTIFICATION DES COMPOSANTS

L'identification des différents composants du banc de test est la suivante :

PN	Nom	Description / Remarques
1016-01	NanoFip Test Bench	Ensemble matériel et logiciel du banc de test du composant NanoFip
1016-10	NanoFip Test Card (NFTC)	Carte de test du NanoFip
1016-11	Supply and COM Adapter Board (SCAB)	Carte d'adaptation RS485 – RS 232 et d'alimentation
1016-20	Boîtier NFTC	Boîtier en acier
1016-21	Boîtier SCAB	
1016-30	Câble 485	Liaison RS-485 et alimentation de la carte de test
1016-31	Câble 232	Liaison RS-232
1016-40	NanoFip Tester	Logiciel de test



4. CARTE DE TEST NANOFIP

4.1. FONCTIONS DE LA CARTE

Les caractéristiques principales de la carte de test sont les suivantes :

- Interface FIP mono-medium
- Copie de la trame FIP sur une liaison RS-485
- Accès au *NanoFip* en mode « stand-alone » et « memory »
- Points de tests multiples
- Ports IO sur HE10 pour ajout éventuel d'extension de tests
- Calcul de consommation du *NanoFip* et du *Fieldrive*
- Protection anti-latchup sur l'alimentation principale
- Des éléments chauffants doivent permettre d'élever localement et indépendamment la température des composants *NanoFip* et *Fieldrive*. Une mesure de température doit aussi être effectuée.



Le CERN demande à ce que le calcul de consommation du NanoFip et du Fieldrive soit réalisé à une fréquence de 1 Hz au minimum.



Le CERN demande à ce que la mesure de température du NanoFip et du Fieldrive soit réalisée à une fréquence de 1 Hz au minimum.

Le banc de test permet de contrôler les signaux suivants du *NanoFip* :

- Alimentation : power ON / OFF
- Reset
- Horloge
- Ports en entrée / Configuration FIP (SLONE, SUBS ...)
- Bus d'adresses et de données

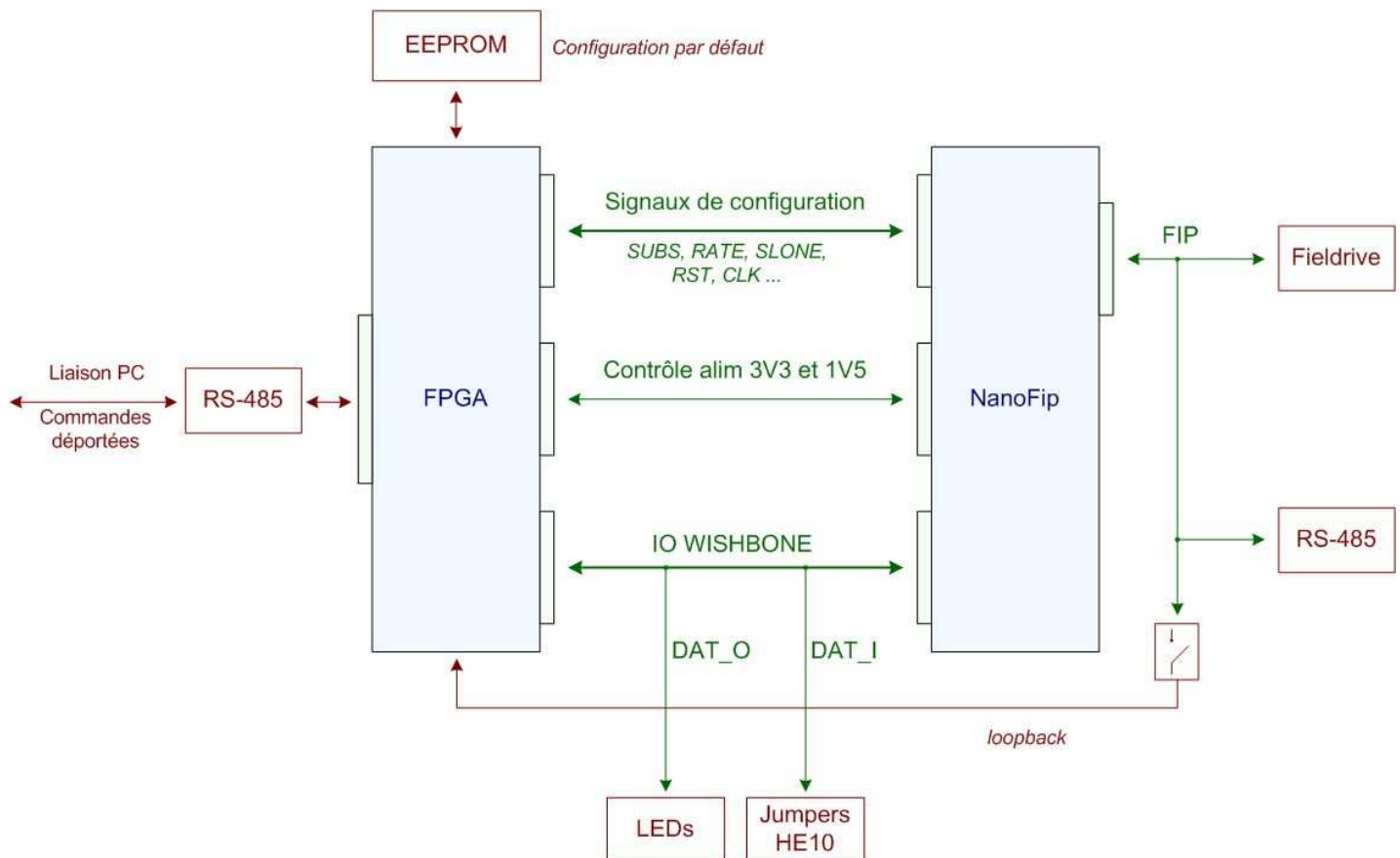
Le banc de test permet de lire les signaux suivants du *NanoFip* :

- Watchdog Fieldrive
- Ports en sortie
- Bus en sortie : FIP, RS-485 ...

4.2. ARCHITECTURE GENERALE

Un FPGA permet le contrôle des IO du *NanoFip* afin de dérouler des tests configurables.

Une EEPROM permet d'embarquer une configuration minimale en Stand-alone. Dès sa mise sous tension, le *NanoFip* peut donc fonctionner sans intervention de l'opérateur.



4.3. CONSIDERATIONS MECANQUES

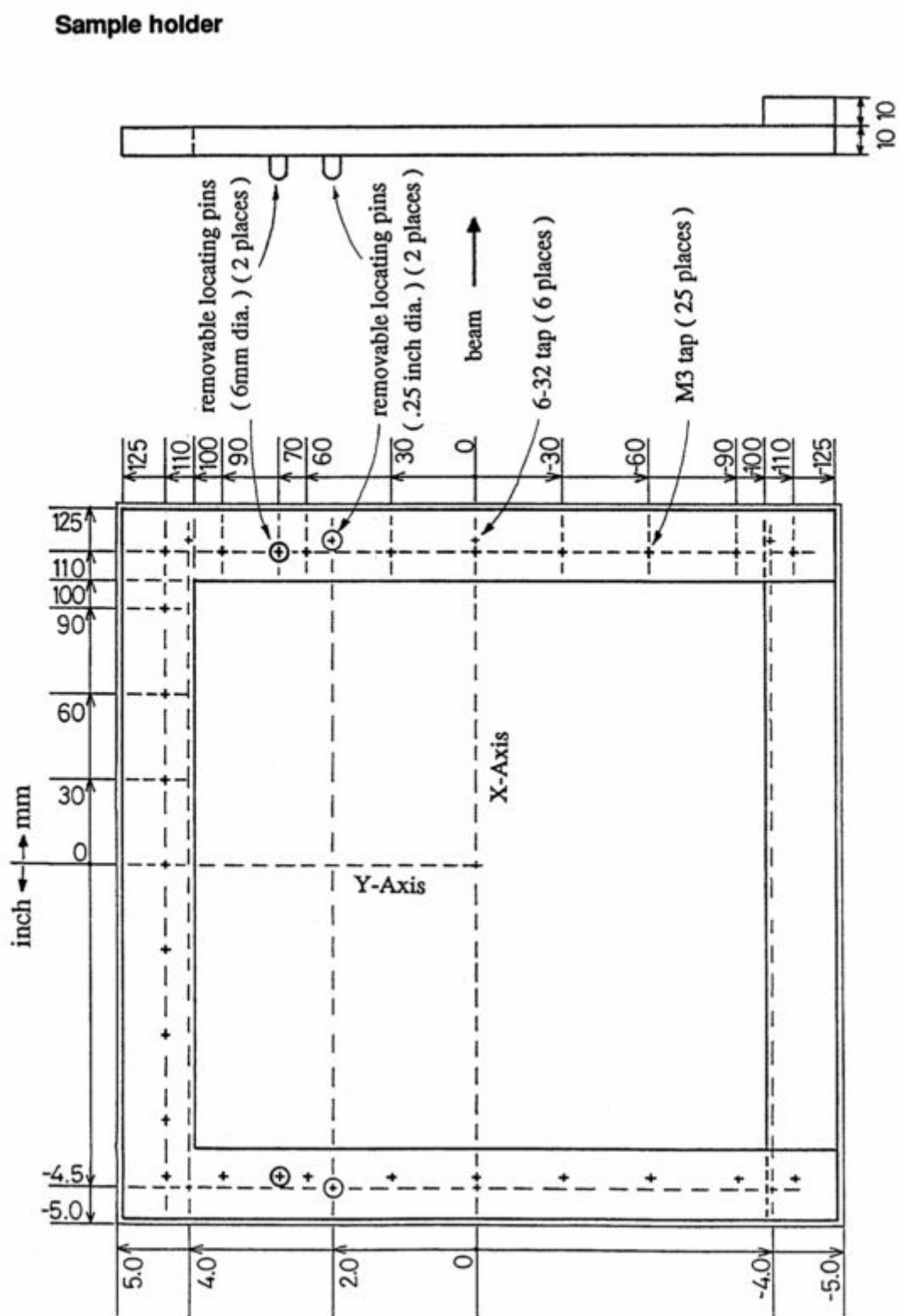


Sur le cuivre, les centres des composants **Fieldrive** et **NanoFip** sont espacés de 7cm exactement.



Sur le cuivre, l'espace minimum entre le FPGA de contrôle et les composants soumis aux radiations (**Fieldrive** et **NanoFip**) est de 12cm au minimum.

Afin de fixer le cuivre de la carte de test sur le banc de test de robustesse aux radiations, les perçages doivent respecter ceux de la platine ci-dessous :



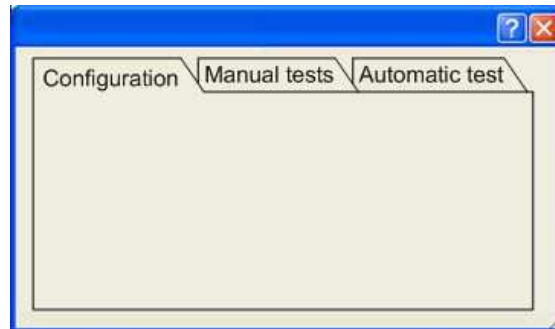
Les perçages sont au format M3.

Les composants à tester sont situés sur la partie évidée de la platine.

5. LOGICIEL DE TEST

Le logiciel de test comporte 3 fonctions principales :

- la configuration du *NanoFip*
- l'exécution de tests manuels
- l'exécution de tests automatiques



Le logiciel de test met à disposition de l'utilisateur la configuration complète du *NanoFip* en cours de test ainsi qu'une interface permettant de la modifier.

L'application doit permettre de tester manuellement les fonctionnalités du *NanoFip*. Ces fonctionnalités peuvent être :

- techniques : alimentation, reset, horloge ...
- fonctionnelles : consommation du *NanoFip*, analyse des variables produites / lues ...

L'application doit pouvoir dérouler une procédure de test automatisée.



*Le logiciel de configuration et de test du **NanoFip** fonctionne sous Windows XP.*



*L'interface du logiciel de configuration et de test du **NanoFip** est en anglais.*

6. LEGENDES



Information à souligner



Retour attendu de la MOA / du client



Point important impactant la poursuite du projet



Point bloquant pour la poursuite du projet