


Référence	Langue	Visa	Date de création	Indice
1016-10-1.00-STD-A-002	FR	N	19/01/2010	002

Spécifications techniques détaillées

Carte de test NanoFIP

NFTC

Auteur	NM	 35 rue Tournefort 75005 PARIS www.hlp.fr
Vérificateur	DP	

Nom du document : 1016-10-1.00-STD-A-002 -STD Carte NFTC.doc

Historique du document			
Indice	Date	Auteur	Description
001	19/01/2010	NM	Création du document
002	30/03/2010	NM	Corrections suite revue du CERN p 11 : dimensionnement supérieur des éléments de chauffage p 17 : dimensionnement supérieur de l'alimentation (1A sous 3V3)

SOMMAIRE CONTENTS

1. INTRODUCTION	4
1.1. PORTEE DU DOCUMENT.....	4
1.2. DOCUMENTS REFERENCES.....	4
1.3. GLOSSAIRE.....	4
2. GENERALITES	5
2.1. FONCTIONS DE LA CARTE	5
2.2. ARCHITECTURE GENERALE	6
3. FONCTIONS SPECIFIQUES	7
3.1. MESURE DE CONSOMMATION.....	7
3.1.1. Consommation du Fieldrive	7
3.1.2. Consommation du NanoFip.....	8
3.2. CONTROLE THERMIQUE DE LA CARTE	9
3.2.1. Mesure de température.....	9
3.2.2. Conversion numérique.....	10
3.2.3. Chauffage local	11
3.3. FPGA DE CONTROLE.....	13
3.3.1. Choix du composant	13
3.3.2. Programmation des FPGAs.....	13
4. ALIMENTATION	15
4.1. TENSIONS NECESSAIRES	15
4.2. BILAN DE CONSOMMATION	16
4.3. RÉGULATION DE TENSION	17
4.3.1. Régulation +5V _p	17
4.3.2. Régulation +3V3 _p	17
4.3.3. Régulation +1V5 _p	18
4.3.4. Régulation +1V5 _{nano}	18
4.4. PROTECTION ANTI-LATCHUP.....	19
4.4.1. Principe	19
4.4.2. Valeurs retenues	20
4.5. FUSIBLE REARMABLE.....	21
4.5.1. Principe	21
4.5.2. Choix des composants	22
4.6. GESTION DU RESET DE LA CARTE.....	24
4.6.1. Power-on reset.....	24
4.6.2. Reset	24
5. BUS EMBARQUES.....	25
5.1. INTERFACE FIP	25
5.1.1. Configuration de l'adresse réseau.....	25
5.1.2. Configuration Constructeur et Modele.....	26
5.2. INTERFACE RS-485.....	28
5.3. BUS I2C	28
5.4. BUS WISHBONE	28
6. LEGENDES	29

1. INTRODUCTION

1.1. PORTEE DU DOCUMENT

Ce document est une spécification technique détaillée de la carte de test du *NanoFip*.

1.2. DOCUMENTS REFERENCES

ID	Titre	Référence
#1	Spécifications du NanoFIP	cernfip_fspect1_2.pdf
#2	Fieldrive – User Reference Manual	ALS 50261e-en
#3	STD Firmware NFTC	1016-10-1.00-STD-B-xxx

1.3. GLOSSAIRE

CERN	Centre Européen de Recherche Nucléaire
CPLD	Complex Programmable Logic Device
FIP	Factory Interconnection Protocol
FPGA	Field Programmable Gate Array
PN	Product Number
PTC	Positive Temperature Coefficient
TVS	Transient Voltage Suppressor
VHDL	VHSIC Hardware Description Language

2. GENERALITES

2.1. FONCTIONS DE LA CARTE

Les caractéristiques principales de la carte de test sont les suivantes :

- Interface FIP mono-medium
- Copie de la trame FIP sur une liaison RS-485
- Accès au *NanoFip* en mode « stand-alone » et « memory »
- Points de tests multiples
- Ports IO sur HE10 pour ajout éventuel d'extension de tests
- Calcul de consommation du *NanoFip* et du *Fieldrive*
- Protection anti-latchup

Le banc de test permet de contrôler les signaux suivants du *NanoFip* :

- Alimentation : power ON / OFF
- Reset
- Ports en entrée / Configuration FIP (SLONE, SUBS ...)
- Bus d'adresses et de données

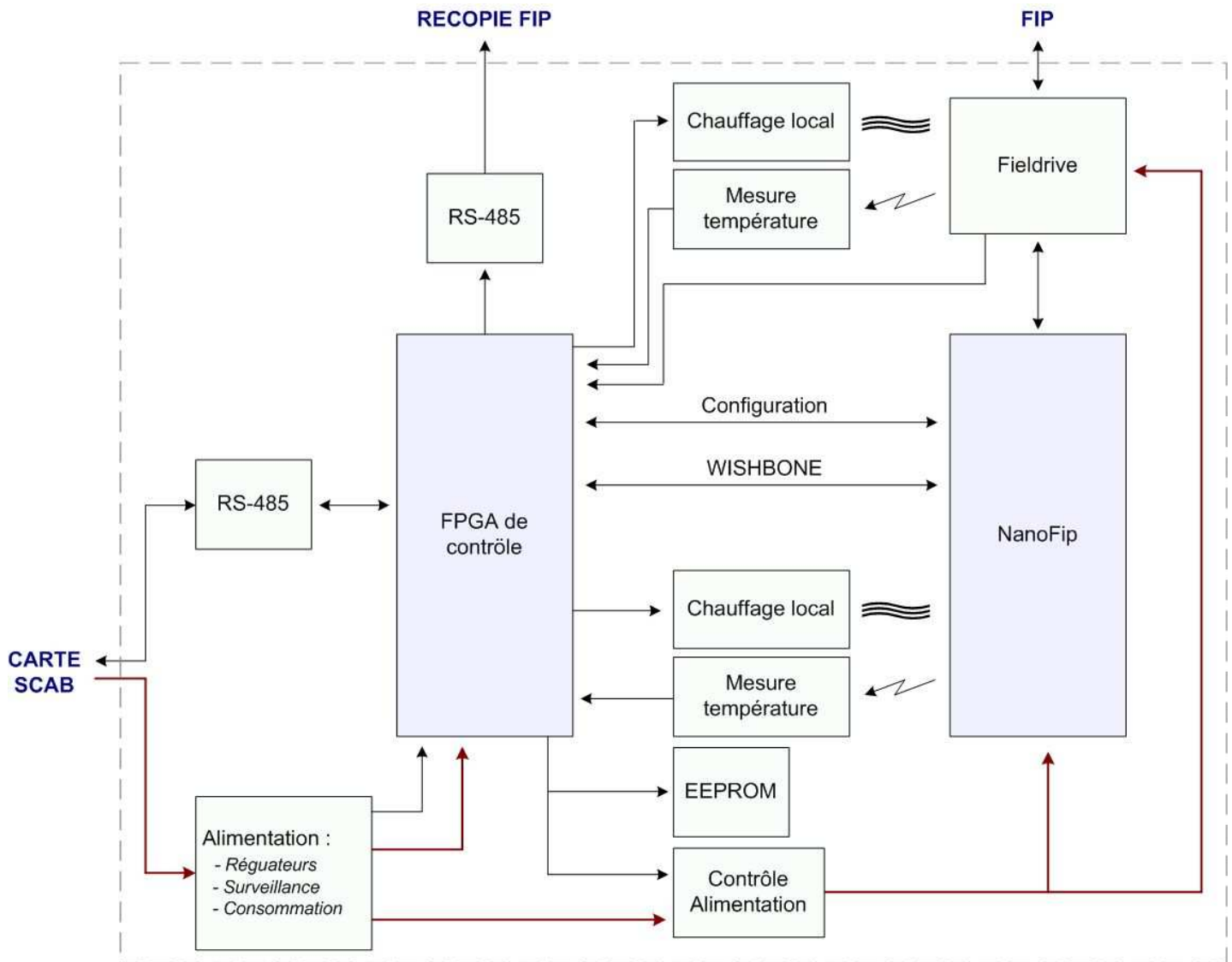
Le banc de test permet de lire les signaux suivants du *NanoFip* :

- Watchdog Fieldrive
- Ports en sortie
- Bus en sortie : FIP, RS-485 ...

2.2. ARCHITECTURE GENERALE

Le FPGA de contrôle permet d'interfacer le *NanoFip* avec le PC de contrôle afin de dérouler des tests configurables.

Une EEPROM permet d'embarquer une configuration minimale en Stand-alone. Dès sa mise sous tension, le *NanoFip* peut donc fonctionner sans intervention de l'opérateur.

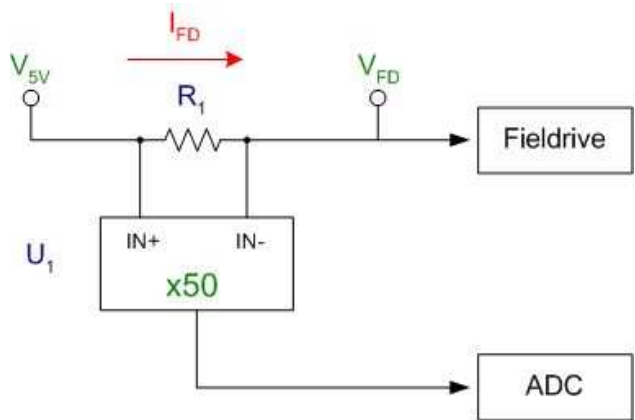


3. FONCTIONS SPECIFIQUES

3.1. MESURE DE CONSOMMATION

3.1.1. CONSOMMATION DU FIELDRIVE

La mesure se fait sur l'alimentation 5V du Fieldrive.



La plage de mesure de U_1 (MAX9929) est +/-50mV et le gain est fixe à 50 :

$V_{IN+} - V_{IN-}$	OUT_{ADC}	SIGN
+50 mV	2.5V	1
-50 mV	2.5V	0

La valeur de R_1 est donnée par :

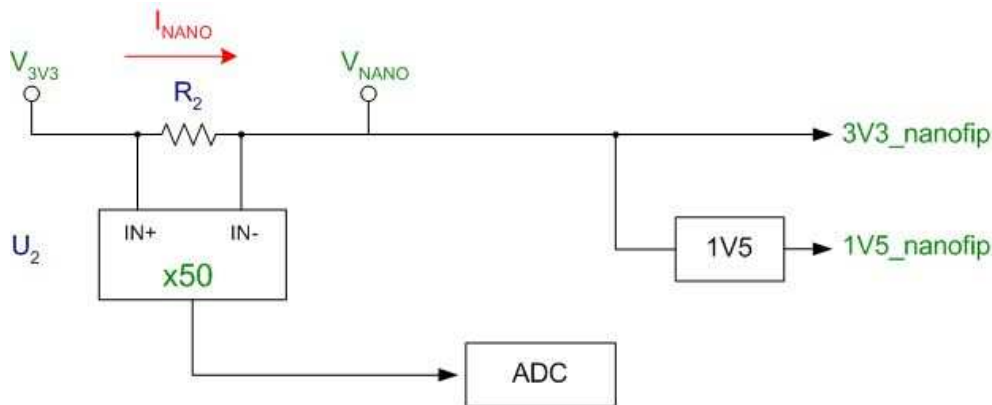
$$R_1 = \frac{0.05}{I_{FD_MAX}}$$

En prenant, $I_{FD_MAX} = 500\text{mA}$, **$R_1 = 0.1 \Omega$**

Pour plus de détail sur la conversion numérique de la consommation, voir **§Conversion numérique, p10**

3.1.2. CONSUMMATION DU NANOFIP

La mesure se fait sur l'alimentation 3.3V du NanoFip.



La plage de mesure de U_2 (MAX9929) est +/-50mV et le gain est fixe à 50 :

$V_{IN+} - V_{IN-}$	OUT_{ADC}	SIGN
+50 mV	2.5V	1
-50 mV	2.5V	0

La valeur de R_2 est donnée par :

$$R_2 = \frac{0.05}{I_{NANO_MAX}}$$

En prenant, $I_{NANO_MAX} = 1 \text{ A}$, **$R_2 = 0.05 \Omega$**

Pour plus de détail sur la conversion numérique de la consommation, voir **§Conversion numérique, p10**

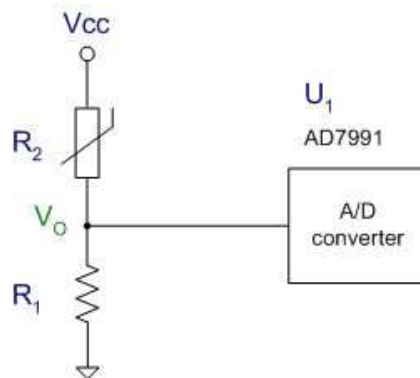
3.2. CONTROLE THERMIQUE DE LA CARTE

3.2.1. MESURE DE TEMPERATURE



Plage de température à mesurer : 20°C à 80°C

Le montage est un simple pont diviseur composé d'une CTN. La valeur est convertie directement par un ADC.



Choix des composants :

- **$R_1 = 1\text{k}\Omega$** , +/-1%
- **$R_2 = 5\text{k}\Omega$** , +/-1% @ 25°C et $\beta = 3988$

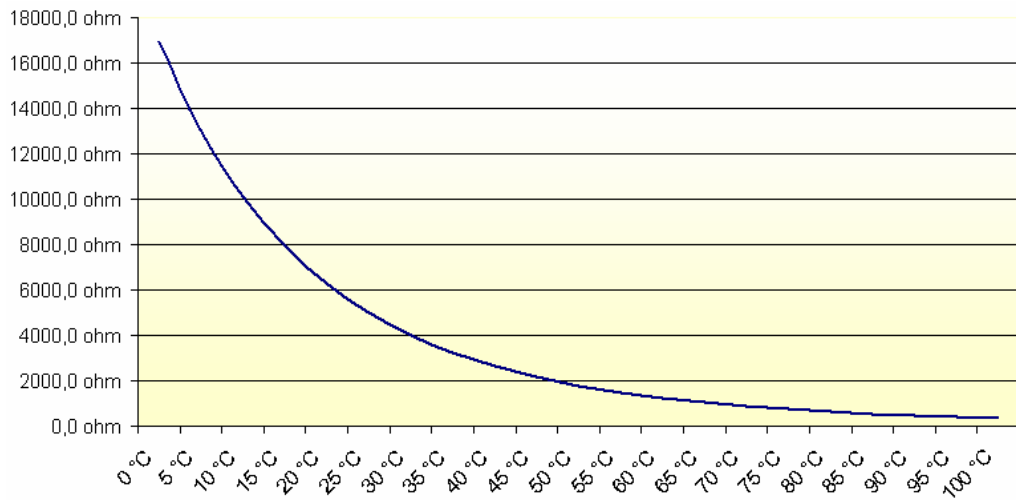
Rappel de la résistance d'une thermistance :

$$R_T = R_0 \cdot \exp\left(\beta \cdot \left(\frac{1}{T + 273.5} - \frac{1}{T_0 + 273.5}\right)\right)$$

Avec :

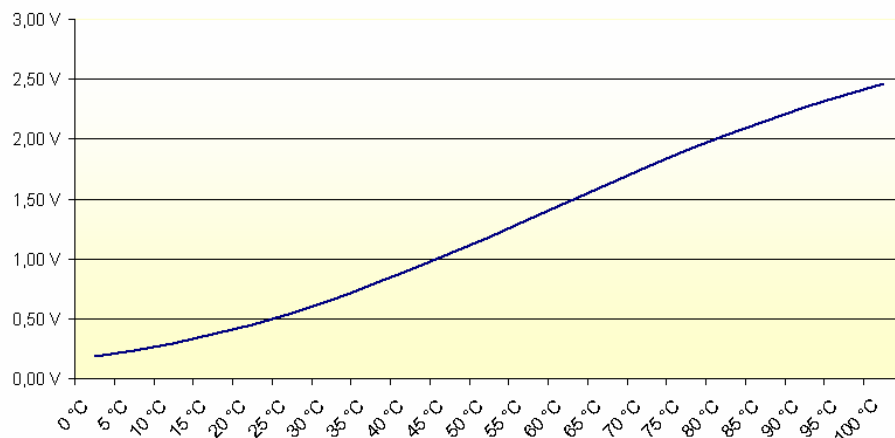
- R_0 , la résistance de référence à T_0 (ici, 5kΩ à 25°C)
- T , la température mesurée
- β , coefficient propre au composant et fourni par le constructeur

La résistance de la thermistance est donc :



La mesure de V_O donne, pour $V_{CC} = 3,3V$:

Mesure de la température



3.2.2. CONVERSION NUMERIQUE

Quatre conversions analogique / numérique doivent être réalisées sur ce banc de test. Toutes ces conversions sont faites par un seul composant : l'AD7991.

L'AD7991 est un convertisseur A/D 12 bits sur une plage de 0 à 3.3V.

Il possède 4 entrées analogiques et permet donc de s'affranchir de multiplexeur.

Il possède également une interface I2C. Chaque lecture I2C déclenche la conversion d'une entrée analogique.

3.2.3. CHAUFFAGE LOCAL

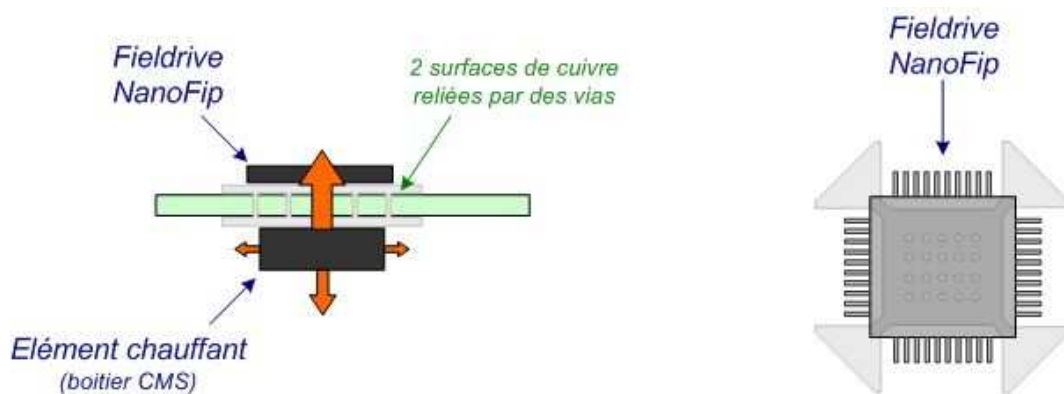
Le chauffage local (des composants **NanoFip** et **Fieldrive**) est réalisé par une résistance de puissance.

Le boîtier choisi est un D²PAK. Un montage CMS permet de conduire et dissiper la chaleur dans une surface de cuivre passant sous le composant cible.

Caractéristiques du boîtier D²PAK (TO263) :

Paramètre	Description	Valeur
$R_{\theta JC}$	Résistance thermique : Junction-to-case	6.5 °C/W
$R_{\theta JA}$	Résistance thermique : Junction-to-ambient	60 °C/W

Dans la littérature, le fait de souder ce type de boîtier sur une surface de cuivre de 1in² ferait descendre $R_{\theta JA}$ à 50°C/W.



La commande de la résistance est effectuée par un signal PWM généré par le FPGA.

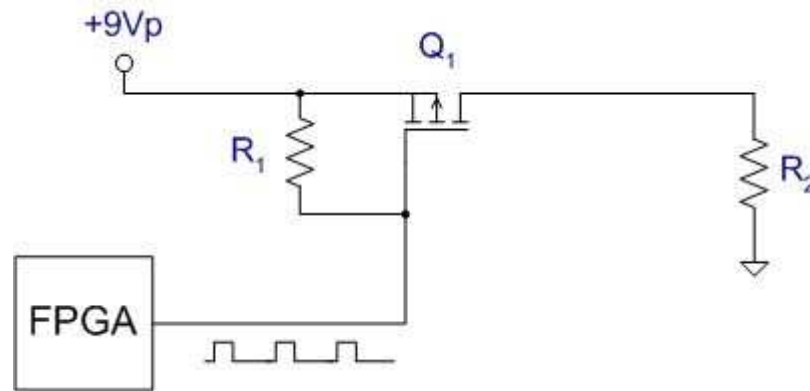
Le rapport cyclique d'ouverture (RCO) permet de faire varier le courant traversant la résistance.



L'objectif est de faire monter le NanoFip et le Fieldrive à 80°C maximum.

Avec une température ambiante de 25°C, la part apportée par la résistance est donc de 55°C (on ne tient pas compte de la chaleur dissipée en plus par le composant lui-même).

Cet objectif peut être tenu si la résistance dissipe environ 1W (en prenant : $R_{\theta JA} = 50^\circ\text{C/W}$).



Choix des composants :

- **$R_1 = 22k\Omega$**
- **$R_2 = 75\Omega$**
- **Q_1 canal P**

Puissance dissipée par la résistance : $P_{DISS} = \frac{9^2}{R_2} = 1.08W$

Compte tenu de la difficulté à spécifier la dissipation réelle de la chaleur (perte par radiation du mauvais coté de la carte, dissipation dans l'époxy, dissipation dans les pistes) :



- Si le chauffage est trop important, on peut limiter la valeur du RCO via le FPGA.
- Si le chauffage n'est pas assez important, on choisira une résistance plus petite.

L'alimentation de la résistance de puissance se fait directement sur le +9V de la carte. Chaque résistance consomme donc au maximum :

$$I_R = \frac{9}{R_2}$$

Soit **120mA** par résistance et donc **240 mA** au maximum pour le chauffage de la carte.

Résistances alternatives :

R_2	Consommation	Puissance
75 Ω	120 mA	1.08 W
56 Ω	160 mA	1.45 W
47 Ω	190 mA	1.72 W
33 Ω	270 mA	2.45 W

3.3. FPGA DE CONTROLE

3.3.1. CHOIX DU COMPOSANT

Deux FPGA sont présents sur la carte NFTC :

- un Actel A3P400 pour le NanoFip (choix du CERN)
- un Actel pour le contrôle de la carte

Une estimation rapide des ressources du FPGA de contrôle donne :

Composant	Macrocells
Contrôleur PWM	50
UART	100
Contrôleur I2C	250
Ordonnanceur	200
Divers IO (Wishbone, gestion NanoFip)	80
Réserve (30%)	210
Total	890



Le choix de l'Actel de contrôle s'est porté sur le A3P125 qui possède l'équivalent de 1024 macrocells.

3.3.2. PROGRAMMATION DES FPGAS

Les 2 FPGA présents sur la carte NTFC sont de la même famille : **ProAsic3**.

Ils peuvent être programmés sur la carte (ISP) via une liaison JTAG.

A des fins de debug, la programmation ISP via la liaison JTAG doit permettre de programmer chaque FPGA individuellement. Deux lignes JTAG sont donc implémentées avec un connecteur HE10 pour chacune.

Le pinout du connecteur HE10 de la liaison JTAG est le suivant :

TCK	1	2	GND
TDO	3	4	NC
TMS	5	6	V _{JTAG}
V _{PUMP}	7	8	TRST
TDI	9	10	GND

4. ALIMENTATION

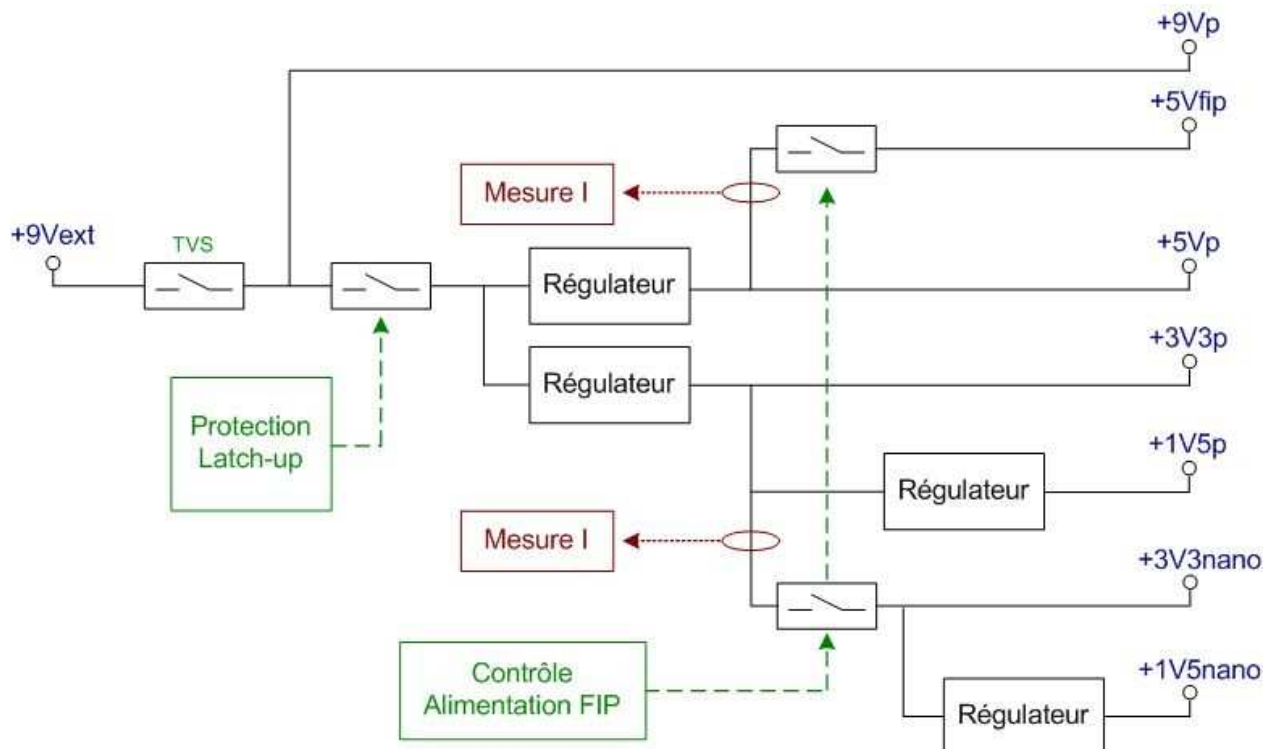
4.1. TENSIONS NECESSAIRES

Les tensions suivantes sont nécessaires au fonctionnement de la carte.

Tension	Utilisation
+9V	Alimentation des résistances de puissance
+5V	Ligne FIP (Fieldrive, FieldTR)
+3.3V	NanoFip, FPGA de contrôle
+1.5V	NanoFip, FPGA de contrôle

Une protection anti-latchup (ie de surconsommation) contrôle la tension d'alimentation +9V fournie à la carte et permet de couper l'alimentation des régulateurs de tension.

Une protection plus générale est également présente sur le +9V qui alimente l'ensemble de la carte : cette protection est un fusible réarmable (TVS + PTC). Ce montage est une protection contre les inversions de polarité et les surintensités.



Les alimentations du *NanoFip* sont séparées afin de les contrôler par software et d'en mesurer la consommation.



Tous les régulateurs sont des régulateurs linéaires de tension.

4.2. BILAN DE CONSOMMATION

Estimation de consommation de la carte NFTC.

LOGIQUE	Nominal (mA)	Maxi (mA)
Régulateur 5V	80	120
Fieldrive	70 ⁽¹⁾	100 ⁽²⁾
LEDs	5	10
Logique	5	10
Régulateur 3V3	387	1098
NanoFip (IO)	20	30
FPGA contrôle (IO)	20	30
Oscillateurs	60	60
EEPROM	2	3
Divers : POR, logique...	10	15
Régulateur 1V5 :	125	160
FPGA contrôle (Core)	120	150
Divers : Régulateur, logique...	5	10
Régulateur 1V5 nano :	150	800
NanoFip (Core)	150	800
Sous total	467	1218
PUISSANCE	Nominal (mA)	Maxi (mA)
Résistance de puissance	240	600
Total	707	1818

⁽¹⁾ : charge réseau moyenne

⁽²⁾ : pleine charge et 5Mb/s

4.3. RÉGULATION DE TENSION

4.3.1. RÉGULATION +5V_P

Paramètre	Valeur
V _{entrée}	+9V _p
V _{sortie}	+5V _p
I _{max}	500mA
P _{max}	750 mW (*)

(*) Une résistance de dissipation de 5Ω est ajoutée devant le régulateur.

Dans la configuration la plus défavorable (500mA) :

- Elle permet de dissiper 1.25 W.
- Le régulateur doit encore dissiper environ 0.75 W.

Choix du composant : REG1117-5 (Texas Instruments).

Il n'y a pas de problème de dissipation à signaler.

4.3.2. REGULATION +3V3_P

Paramètre	Valeur
V _{entrée}	+9V _p
V _{sortie}	+3V3 _p
I _{max}	1100mA
P _{max}	2.3 W (*)

(*) Une résistance de dissipation de 3.3Ω est ajoutée devant le régulateur.

Dans la configuration la plus défavorable (1100mA) :

- Elle permet de dissiper 4 W.
- Le régulateur doit encore dissiper environ 2.3 W.

Choix du composant : LM1086CS-3.3 (National Semiconductors)

R_{tjc} = 4°C/W

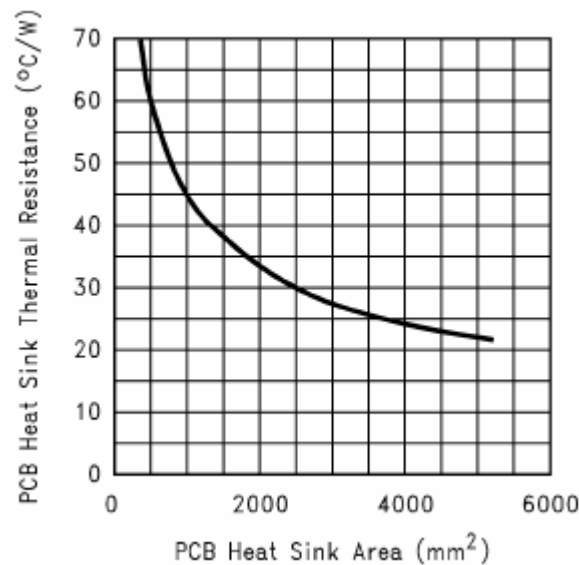
R_{tch} = 0°C/W (composant soudé au dissipateur PCB)

R_{tha} = 25°C/W (pour 3500mm² de cuivre)

En prenant donc $R_{tja} = 30^{\circ}\text{C}/\text{W}$, l'élévation de température est de 69°C .



Prévoir un pad de dissipation de 5x5 cm (sur les 2 couches externes et la couche interne PWR, le tout lié par un maximum de vias) afin d'obtenir un $R_{\theta JA}$ de $35^{\circ}\text{C}/\text{W}$



4.3.3. RÉGULATION +1V5_P

Paramètre	Valeur
V _{entrée}	+3V3 _p
V _{sortie}	+1V5 _p
I _{max}	200mA
P _{max}	360mW

Choix du composant : TPS72515KTTT (Texas Instruments).
Il n'y a pas de problème de dissipation à signaler.

4.3.4. RÉGULATION +1V5_{NANO}

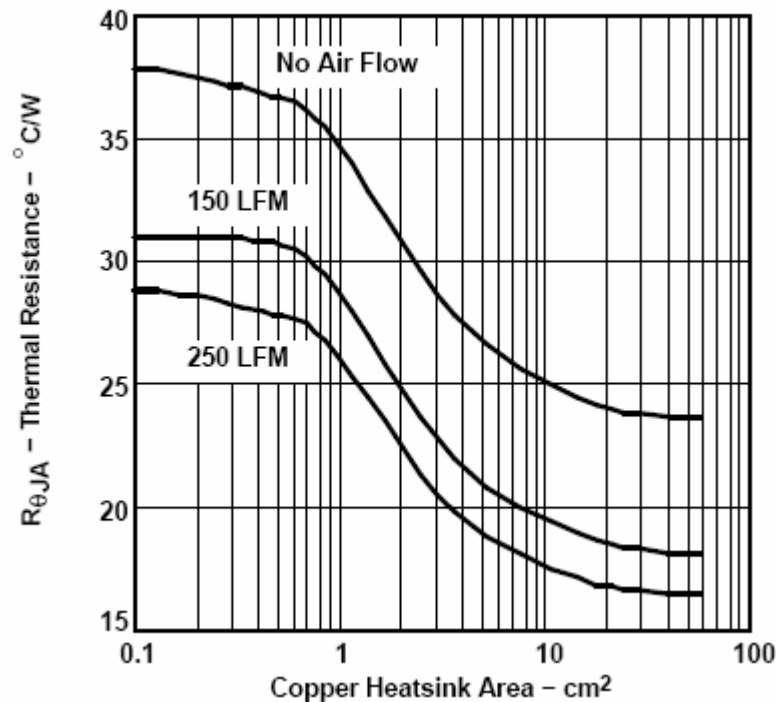
Paramètre	Valeur
V _{entrée}	+3V3 _{nano}
V _{sortie}	+1V5 _{nano}
I _{max}	800mA

P_{\max}	1.5W
------------	------

Choix du composant : TPS72515KTTT (Texas Instruments)



Prévoir un pad de dissipation de 1cm² afin d'obtenir un $R_{\theta JA}$ de 35°C/W



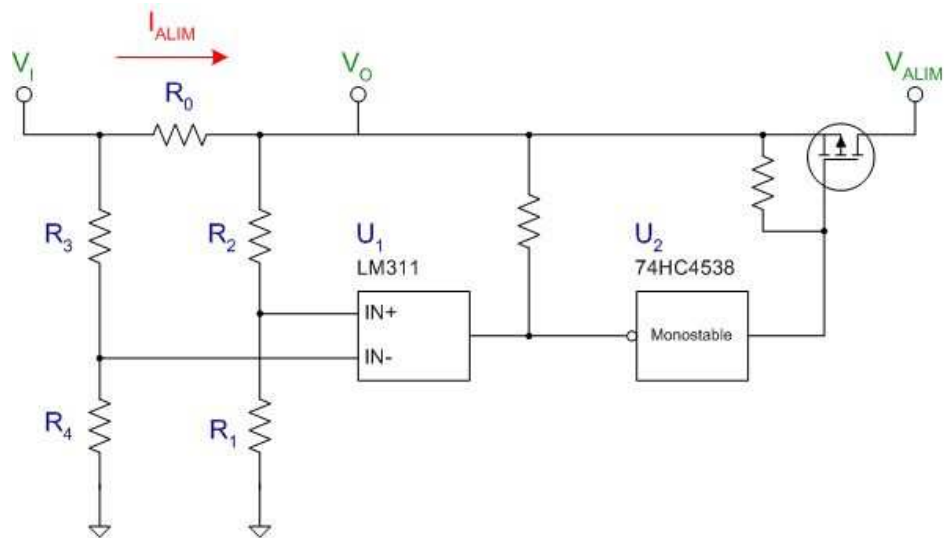
4.4. PROTECTION ANTI-LATCHUP

4.4.1. PRINCIPE

Les radiations provoquent le phénomène de latch-up sur les composants actifs : les transistors restent bloqués à l'état passant. Le latch-up se manifeste par une surconsommation de la carte.

Le circuit suivant a pour but de couper l'alimentation de la carte pendant un certain temps si le courant mesuré est excessif.

Les 2 composants actifs utilisés (LM311 et 74HC4538) ont été validés par le CERN dans un environnement de radiations.



Aux bornes du comparateur, on a les tensions :

$$V_{IN-} = \frac{R_4}{R_3 + R_4} \cdot V_I$$

$$V_{IN+} = \frac{R_1}{R_1 + R_2} \cdot (V_I - R_0 \cdot I_{ALIM})$$

Si la consommation est nulle, il faut $V_{IN-} < V_{IN+}$.

La sortie du comparateur est alors à l'état haut.

Plus la consommation augmente et plus V_{IN+} diminue. La sortie du comparateur passe à l'état bas quand V_{IN+} rejoint V_{IN-} , c'est-à-dire lorsque :

$$V_{IN+} = V_{IN-}$$

Alors,

$$I_{ALIM} = \frac{R_1 + R_2}{R_1 \cdot R_0} \cdot V_I \cdot \left(\frac{R_1}{R_1 + R_2} - \frac{R_4}{R_3 + R_4} \right)$$

D'une manière générale, il faut donc :

$$1- \frac{R_1}{R_1 + R_2} > \frac{R_4}{R_3 + R_4}$$

2- R_0 doit être le plus petit possible

4.4.2. VALEURS RETENUES

On cherche à couper l'alimentation pour un courant dépassant **1200mA** (voir p.16, *Bilan de consommation*).

Pour minimiser les pertes, on prend $R_0 = 0.1\Omega$

En posant : $C_1 = \frac{R_1}{R_1 + R_2}$, $C_2 = \frac{R_4}{R_3 + R_4}$ et $K = \frac{R_0 \cdot I_{ALIM}}{V_I}$

On a : $K = \frac{C_1 - C_2}{C_1}$

$$C_2 = C_1 \cdot (1 - K)$$

Les valeurs choisies sont :

- **$R_1 = 15k\Omega$**
- **$R_2 = 15k\Omega$**
- **$R_3 = 15.4k\Omega$**
- **$R_4 = 15k\Omega$**

La constante de temps du monostable 74HC4538 est réglée pour couper l'alimentation pendant 1.5s et est composée d'une résistance (R) et d'un condensateur (C).

La durée de l'impulsion en sortie du monostable est donnée par :

$$T_{PULSE} = 0.7 \cdot R \cdot C$$

Les valeurs choisies sont donc :

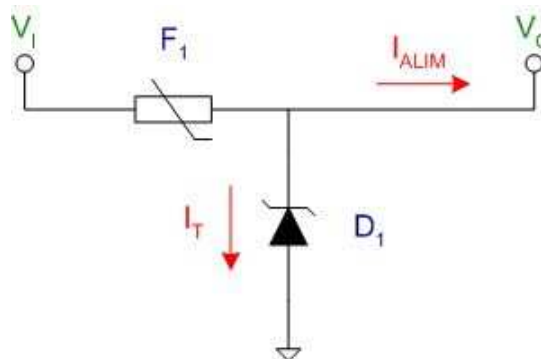
- **$R = 220k\Omega$**
- **$C = 10\mu F$**

4.5. FUSIBLE REARMABLE

4.5.1. PRINCIPE

L'objectif est de protéger le circuit des surtensions et des inversions de polarité.

Le montage suivant allie un fusible réarmable de type PTC (F_1) et un TVS, Transient Voltage Suppressor, (D_1).



Protection surintensité :

Si I_{ALIM} reste entre 0 mA et I_{HOLD} , le fusible PTC reste dans un état passant (sa résistance est faible).

Si I_{ALIM} dépasse I_{TRIP} , sa température augmente rapidement et sa résistance également : il bloque le passage du courant.

I_{ALIM} est donc limité à I_{TRIP} .

Protection surtension :

Si V_I dépasse le V_{RM} de la TVS D_1 , celle-ci se met à conduire brutalement.

Le courant I_T augmente et F_1 devient bloquant : l'alimentation est coupée.

Par exemple, si $V_{RM} = 10\text{ V}$, $V_I = 12\text{V}$ et $R_{F1} = 0.2\Omega$

$$I_T = (V_I - V_{RM}) / R_{F1} = 10\text{A} (> I_{TRIP})$$

Protection inversion de polarité :

En cas d'inversion de polarité, D_1 se comporte comme une diode passante ($V_F = 0.6\text{V}$).

Le courant I_T s'inverse et augmente.

F_1 devient bloquant : l'alimentation est coupée.

Par exemple, si $V_F = 0.6\text{ V}$, $V_I = -9\text{V}$ et $R_{F1} = 0.2\Omega$

$$I_T = (V_I - V_F) / R_{F1} = -37\text{A} (> I_{TRIP})$$

Le choix doit donc se porter sur :

- une transil de 10V
- un PTC fuse dont $I_{HOLD} > 1.8\text{A}$ (consommation max de la carte) et $V_{MAX} > 18\text{V}$ (protection de la carte contre une surtension de 15V)

4.5.2. CHOIX DES COMPOSANTS**Transil :**

ST Micro SMCJ10A

- $V_{RM} = 10\text{V}$
- $P_{MAX} = 6\text{W}$ $P_{PEAK} = 1500\text{W}$
- Tol = 5%

Farnell : 168-9268

PTC fuse :

BOURNS MF-R185-0-99

- $V_{MAX} = 24V$
- $R_{MAX} = 0.07$
- $I_{HOLD} = 1.85A$
- $I_{TRIP} = 3.7A$

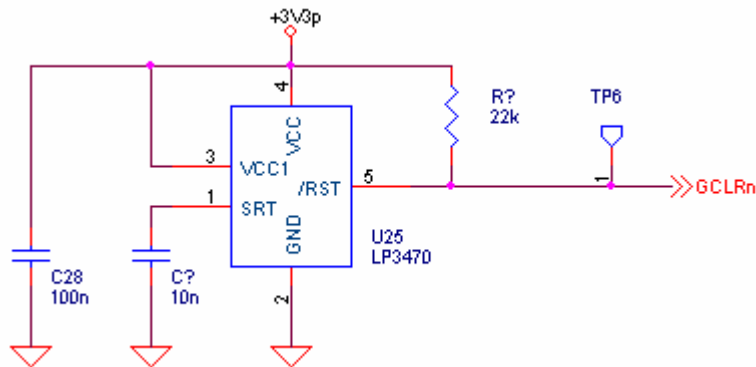
Farnell : 935-0497

4.6. GESTION DU RESET DE LA CARTE

4.6.1. POWER-ON RESET

A l'établissement de l'alimentation, la ligne RESET du FPGA de contrôle est maintenue à l'état bas pendant 20ms.

Le composant qui gère le POR est le LP3470 :

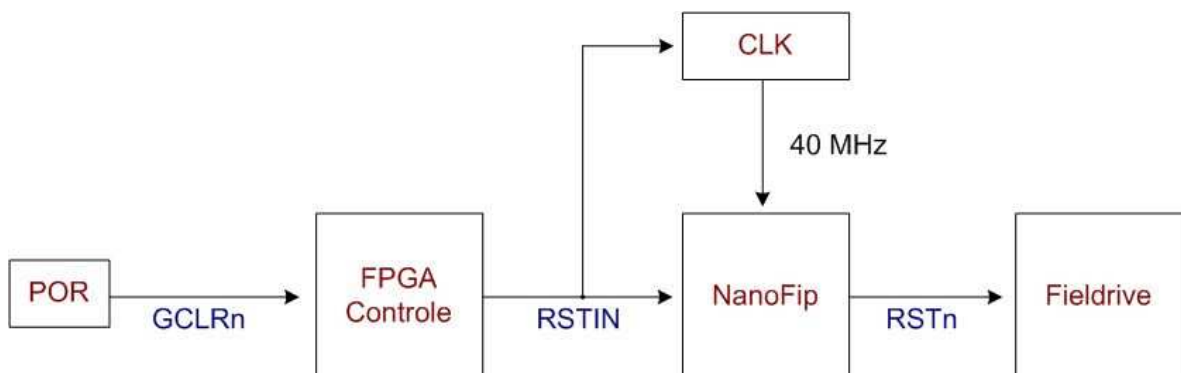


4.6.2. RESET

Trois lignes de RESET co-existent sur la carte :

- **GCLRn** : reset global de la carte (POR)
- **RSTIN** : reset de la fonction FIP (NanoFip et Fieldrive) géré par le FPGA de contrôle
- **RSTn** : reset du Fieldrive géré par le NanoFip

Le signal RSTIN ne passe à 1 que sur commande du FPGA de contrôle.



5. BUS EMBARQUES

5.1. INTERFACE FIP

L'interface FIP est une interface traditionnelle recommandée par Alstom (cf. document #2).

Les trames du réseau sont recopiées sur une liaison RS485.

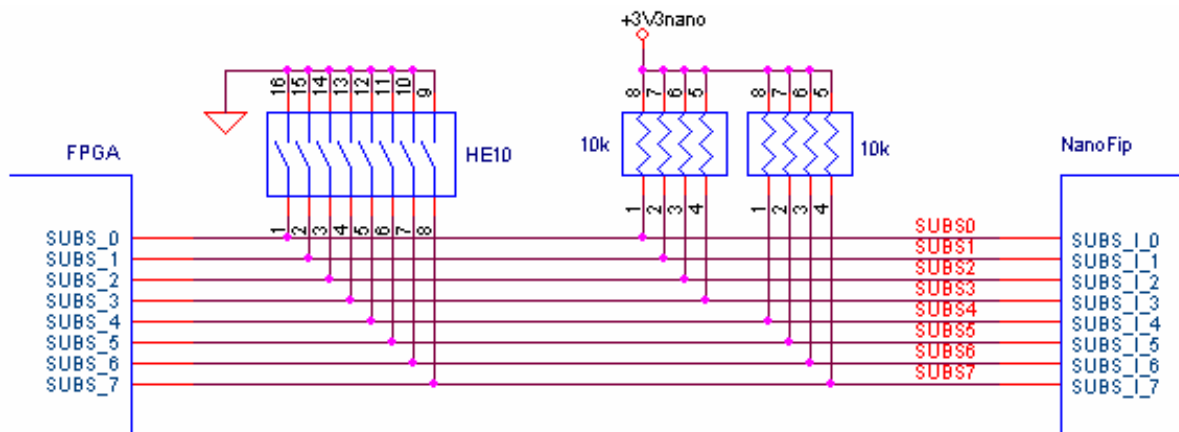
5.1.1. CONFIGURATION DE L'ADRESSE RESEAU

L'adresse de la station FIP peut être configurée de 2 manières :

- par le FPGA (et donc par le PC de contrôle)
- par des jumpers

La valeur HIGH n'est positionnée que par les pull-up de chaque bit de l'adresse FIP.

- Un jumper force la valeur LOW s'il est positionné.
- Le FPGA force la valeur LOW ou laisse la ligne en haute impédance Z

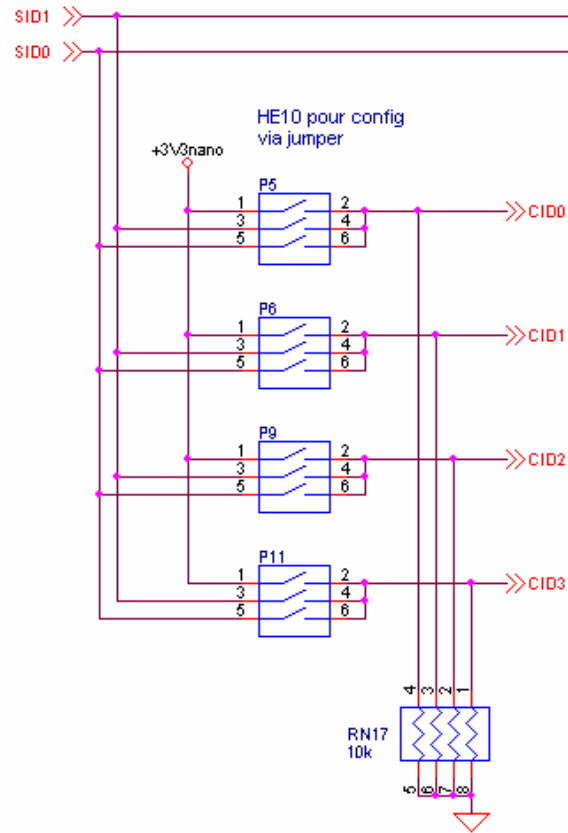


Les sorties du FPGA sont configurées en tri-state afin de ne pas générer de court circuit si un jumper est positionné.

Le FPGA peut également lire le bus SUBS. Si la valeur lue est différente de 0xFF, c'est qu'un jumper est positionné.

5.1.2. CONFIGURATION CONSTRUCTEUR ET MODELE

La configuration du constructeur se fait grâce à des jumpers.



Jumper				Entrée NanoFip	
ID	Pos 1	Pos 2	Pos 3	Nom	Valeur
P5	OFF	OFF	OFF	CID_0	00
P5	OFF	OFF	ON	CID_0	01
P5	OFF	ON	OFF	CID_0	10
P5	ON	OFF	OFF	CID_0	11
P6	OFF	OFF	OFF	CID_1	00
P6	OFF	OFF	ON	CID_1	01
P6	OFF	ON	OFF	CID_1	10
P6	ON	OFF	OFF	CID_1	11
P9	OFF	OFF	OFF	CID_2	00
P9	OFF	OFF	ON	CID_2	01
P9	OFF	ON	OFF	CID_2	10
P9	ON	OFF	OFF	CID_2	11
P11	OFF	OFF	OFF	CID_3	00
P11	OFF	OFF	ON	CID_3	01
P11	OFF	ON	OFF	CID_3	10
P11	ON	OFF	OFF	CID_3	11

L'octet constructeur du NanoFip est constitué des valeurs CID_x :

B7	B6	B5	B4	B3	B2	B1	B0
CID_3		CID_2		CID_1		CID_0	



La configuration du modèle se fait suivant la même logique.

5.2. INTERFACE RS-485

L'interface RS-485 permet de commander la carte NFTC.

Les données sont directement échangées entre le PC et le FPGA de contrôle.

Le contenu de ces données est spécifié dans la STD du Firmware (cf. document #3).

5.3. BUS I2C

Le bus I2C interne à la carte NFTC permet au FPGA de s'interfacer avec :

- un convertisseur A/D : lecture de la température et des consommations
- une mémoire EEPROM : configuration par défaut de la carte

Adresses des composants sur le bus I2C :

EEPROM M24C01 : 0x50

ADC AD7991 : 0x28

5.4. BUS WISHBONE

Le bus WISHBONE permet la communication entre le NanoFip et le FPGA de contrôle.

Il est intégralement connecté entre les 2 FPGA.

6. LEGENDES



Information à souligner



Retour attendu de la MOA / du client



Point important impactant la poursuite du projet



Point bloquant pour la poursuite du projet